

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-057122

(43)Date of publication of application : 25.02.2000

(51)Int.Cl.

G06F 15/78  
// G10H 1/02

(21)Application number : 10-223359

(71)Applicant : YAMAHA CORP

(22)Date of filing : 06.08.1998

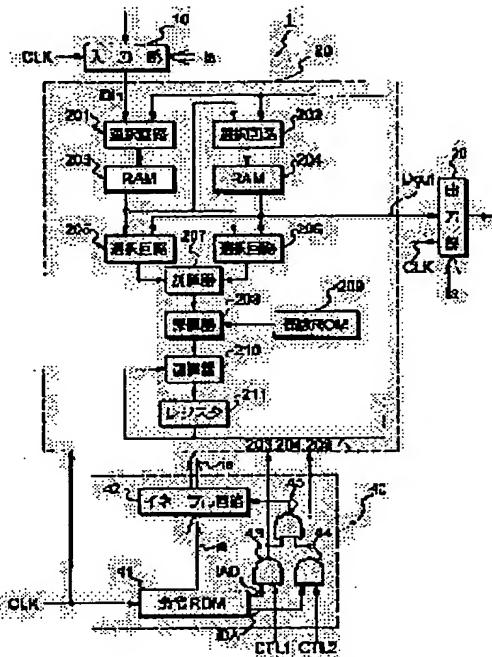
(72)Inventor : YAMAMOTO YUSUKE  
MURAKI YASUYUKI

## (54) DIGITAL SIGNAL PROCESSOR

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a DSP(digital signal processor) which scrupulously reduces the power consumption in accordance with processing matter.

SOLUTION: Plural sets of operation instructions ia and electric power saving instructions are stored in an instruction ROM 41 of a controlling part 40. An electric power saving instruction indicates the processing content of a corresponding operation instruction ia. When the instruction ia and the electric power saving instruction are read, the instruction ia is supplied to an enable circuit 42. On the other hand, an electric power saving signal is supplied to logic circuits 43 to 45 as an A/D conversion processing instruction signal iAD and a D/A conversion processing instruction signal iDA. The circuit 42 decides whether or not to supply an operation instruction ib to an operating part 20 based on these signals and 1st and 2nd control signals CTL1 and CTL2 supplied externally. Thus, the part 20 is operated only when necessary processing is carried out and the part 20 is made to stop its operation in the other periods so that power consumption can be reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-57122

(P2000-57122A)

(43)公開日 平成12年2月25日(2000.2.25)

(51)Int.Cl.  
G 0 6 F 15/78  
// G 1 0 H 1/02

識別記号  
5 1 0

F I  
G 0 6 F 15/78  
G 1 0 H 1/02

テマコト\*(参考)  
5 1 0 P 5 B 0 6 2  
5 D 3 7 8

(21)出願番号 特願平10-223359  
(22)出願日 平成10年8月6日(1998.8.6)

審査請求 未請求 請求項の数6 OL (全7頁)

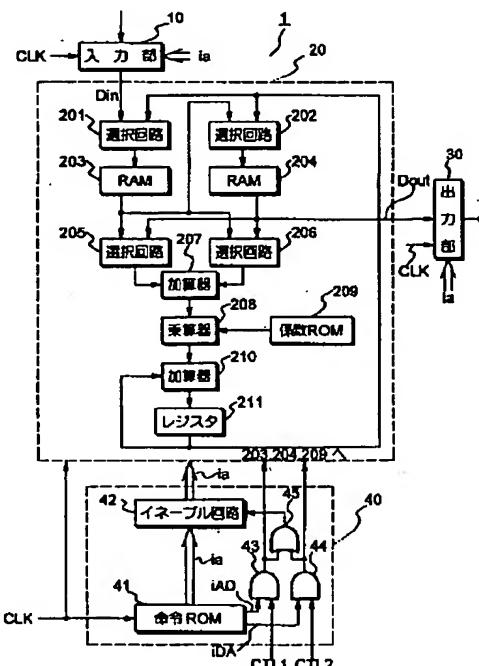
(71)出願人 000004075  
ヤマハ株式会社  
静岡県浜松市中沢町10番1号  
(72)発明者 山本 裕介  
静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内  
(72)発明者 村木 保之  
静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内  
(74)代理人 100098084  
弁理士 川▲崎▼ 研二 (外1名)  
Fターム(参考) 5B062 AA05 CC01 CC06 HH06  
5D378 BB06 BB08 GG24

(54)【発明の名称】 デジタル信号処理装置

(57)【要約】

【課題】 処理の内容に応じて消費電力をきめ細かく削減するDSPを提供する。

【解決手段】 制御部40の命令ROM41には、演算命令iaと省電力命令の組が複数記憶されている。省電力命令は、対応する演算命令iaの処理内容を指示する。演算命令iaと省電力命令が読み出されると、演算命令iaはイネーブル回路42に供給される。一方、省電力命令はA/D変換処理指示信号iadおよびD/A変換処理指示信号idaとして論理回路43~45に供給される。これらの信号と外部から供給される第1、第2の制御信号CTL1, CTL2に基づいてイネーブル回路42は、演算命令ibを演算部20に供給するか否かを決定する。これにより、必要な処理が実行される場合にのみ演算部20を動作させ、他の期間は演算部20の動作を停止させ、消費電力を削減することができる。



**【特許請求の範囲】**

**【請求項 1】** 演算命令に従って演算処理を行う処理手段と、

前記演算命令と当該演算命令を識別するための制御命令との組を複数記憶する記憶手段と、

前記記憶手段から前記演算命令とこれに対応する前記制御命令を読み出し、外部から供給される制御信号と当該制御命令に基づいて、前記処理手段の動作状態を制御する制御手段とを備えたことを特徴とするデジタル信号処理装置。

**【請求項 2】** 実行すべき演算命令の種別を示す制御信号に基づいて処理を実行するデジタル信号処理装置であって、

前記演算命令に従って演算処理を行う処理手段と、前記演算命令と当該演算命令を識別するための制御命令との組を複数記憶する記憶手段と、

前記記憶手段から前記演算命令とこれに対応する前記制御命令とを読み出し、前記制御信号の示す種別と前記制御命令の示す種別が不一致の場合に前記処理手段の動作状態を停止状態にするように制御する制御手段とを備えたことを特徴とするデジタル信号処理装置。

**【請求項 3】** 複数の処理を時分割で実行するとともに、実行すべき処理の種別を示す制御信号に基づいて前記複数の処理の内から選択した処理を実行するデジタル信号処理装置であって、

演算命令に従って演算処理を行う処理手段と、前記演算命令とそれが用いられる前記処理の種別を示す制御命令との組を複数記憶する記憶手段と、

前記記憶手段から前記演算命令とこれに対応する前記制御命令とを読み出し、前記制御信号の示す処理種別と前記制御命令の示す処理種別が不一致の場合に前記処理手段の動作状態を停止状態にするように制御する制御手段とを備えたことを特徴とするデジタル信号処理装置。

**【請求項 4】** 前記制御手段は、読み出された演算命令を前記処理手段に供給するのを停止することにより、前記処理手段の動作状態を停止状態にすることを特徴とする請求項2または3に記載のデジタル信号処理装置。

**【請求項 5】** 前記処理手段は、CMOSトランジスタによって構成されることを特徴とする請求項1乃至4のうちいずれか1項に記載のデジタル信号処理装置。

**【請求項 6】** 前記記憶手段は、ROMによって構成されることを特徴とする請求項1乃至5のうちいずれか1項に記載のデジタル信号処理装置。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】** 本発明は、消費電力を削減するのに好適なデジタル信号処理装置に関する。

**【0002】**

**【従来の技術】** 近年のパソコンにおいては音源ボードを搭載するものがある。この音源ボードで

は、MIDI (Musical Instrument Digital Interface) 形式等で与えられる音楽演奏データに基づいて楽音再生するための再生処理の他に、音源ボード内のコードにより、パソコン用コンピュータ外部から与えられるアナログ音声信号をデジタル音声データに変換したり、デジタル音声データをアナログ信号に変換するコードおよびデコード処理が行われる。こうして得られたデジタル音声データは、音源ボードにより、さらに、このデータサンプリングレートを変換するレート変換処理や、フィルタリング処理、あるいは他のデジタル音声データと合成するミキシング処理等の各種処理も行うことができる。こうして得られたデジタル音声データは、最終的にパソコン用コンピュータ内のハードディスクドライブ等の記憶装置に記録されることになる（これらを総じて記録処理と称する）。ところで、このような再生処理や記録処理などは音源ボード内に設けられたデジタル信号処理装置（以下、DSPと称する）を用いて実行されることが一般的となっている。

**【0003】** このDSPは、例えば、積和算の演算等を行う演算部とインターフェースとして機能する入出力部の他に、演算部や入出力部を制御する命令を格納したROM (Read Only Memory) を含む制御部を有して構成されている。そして、DSP外部からクロックが供給されることによって、再生処理および記録処理用の固定長の命令が制御部内のROMから読み出され、この読み出された命令を順々に処理するように各部が動作する。

**【0004】** ところで、消費電力の増大は、消費電力量の問題の他にも発熱や電源回路のコストアップといった問題をも招くため、パソコン用コンピュータにおいても低消費電力化が求められている。特に、ラップトップ型あるいはノート型のものはバッテリーからの電力で動作する必要があるため、動作時間の長時間化には消費電力の抑制・削減が重要となる。そこで、DSPにおいても、必要な場合にのみDSPへのクロックを供給し、他の期間はクロック供給を停止（クロックの入力を禁止）することにより、DSPの動作を停止させ消費電力を削減することが行われている。

**【0005】**

**【発明が解決しようとする課題】** 図5は、このような場合のDSPの動作を示すタイミングチャートを示したものである。同図(a)はDSPで行われる処理内容を示したものであり、同図(b)はそのDSPに供給されるクロックを示したものである。図中の期間Tは期間taと期間tbとを合わせたものであるが、この期間Tが1サンプリング周期に対応している。言い換えれば、期間T内で、ROMに記憶された全ての命令が実行されるようになればよい。この例では、DSPはクロックの供給を開始し、期間taで固定命令に基づく全ての処理を行い、その処理が終わった時点で、DSPは自らクロックを入力するのを停止させる。この期間Tから期間taを

差し引いた時間が期間  $t_b$  となる。よって、DSPが電力を消費する時間が  $t_a$  であり、DSPの動作を停止させ消費電力を削減する時間が  $t_b$  である。期間  $t_a$  では再生処理や記録処理といった固定命令に基づく一連の処理が行われている。この場合、DSPはROMから所定の固定命令を読み出して、その命令に基づいて再生処理、記録処理、再生処理、記録処理と順に処理している。しかしながら、固定命令の中には再生処理と記録処理に対応したプログラムが含まれているように例示されているが、各サンプリングデータにおいて常にこれらの処理全てが実行されるとは限らない。つまり、固定命令は最大限の効果を与えるべく、所定の複数の処理プログラムを含んでいるが、実際には全てのプログラムを実行する場合よりも、そうでない場合の方が多い。そうしたことから、例えば、図5(a)の2カ所における再生処理のみサンプリングデータに対して実行しようとする場合、2カ所における記録処理の期間においてDSPは何の処理を行わないにも拘わらずクロックが供給され動作していることになる。そのために、無駄な電力が消費されることになる。

【0006】本発明は、上述した事情に鑑みてなされたものであり、処理の内容に応じて消費電力をきめ細かく管理（削減・抑制）することができるデジタル信号処理装置を提供することを目的とする。

#### 【0007】

【課題を解決するための手段】上記課題を解決するため請求項1に記載の発明にあっては、演算命令に従って演算処理を行う処理手段と、前記演算命令と当該演算命令を識別するための制御命令との組を複数記憶する記憶手段と、前記記憶手段から前記演算命令とこれに対応する前記制御命令を読み出し、外部から供給される制御信号と当該制御命令に基づいて、前記処理手段の動作状態を制御する制御手段とを備えたことを特徴とする。

【0008】また、請求項2記載の発明にあっては、実行すべき演算命令の種別を示す制御信号に基づいて処理を実行するデジタル信号処理装置であって、前記演算命令に従って演算処理を行う処理手段と、前記演算命令と当該演算命令を識別するための制御命令との組を複数記憶する記憶手段と、前記記憶手段から前記演算命令とこれに対応する前記制御命令とを読み出し、前記制御信号の示す種別と前記制御命令の示す種別が不一致の場合に前記処理手段の動作状態を停止状態にするように制御する制御手段とを備えたことを特徴とする。

【0009】また、請求項3記載の発明にあっては、複数の処理を時分割で実行するとともに、実行すべき処理の種別を示す制御信号に基づいて前記複数の処理の内から選択した処理を実行するデジタル信号処理装置であって、演算命令に従って演算処理を行う処理手段と、前記演算命令とそれが用いられる前記処理の種別を示す制御命令との組を複数記憶する記憶手段と、前記記憶手段か

ら前記演算命令とこれに対応する前記制御命令とを読み出し、前記制御信号の示す処理種別と前記制御命令の示す処理種別が不一致の場合に前記処理手段の動作状態を停止状態にするように制御する制御手段とを備えたことを特徴とする。

【0010】また、請求項4記載の発明にあっては、前記制御手段は、読み出された演算命令を前記処理手段に供給するのを停止することにより、前記処理手段の動作状態を停止状態にすることを特徴とする。また、請求項5記載の発明にあっては、前記処理手段は、CMOSトランジスタによって構成されることを特徴とする。また、請求項6記載の発明にあっては、前記記憶手段は、ROMによって構成されることを特徴とする。

#### 【0011】

【発明の実施の形態】以下、図面を参照しつつ、本発明の一実施形態に係るDSPを説明する。

##### 1. 実施形態の構成

図1は、本実施形態に係るDSPのブロック図である。図に示すDSP1は、パーソナルコンピュータの音源ボードに設けられており、A/D変換処理とD/A変換処理を実行できるようになっている。ここで、A/D変換処理とは、1または複数のアナログ音声信号をA/D変換して得たデジタル音声データをミキシングした記録音楽データに変換するための処理である。また、D/A変換処理とは、1または複数の再生楽音データをサンプリング周波数変換およびミキシングした後、D/A変換して再生楽音信号を生成する処理である。

【0012】また、DSP1は、CMOSトランジスタで構成されている。CMOSトランジスタは、データの反転があると電流を流すが、定常状態ではほとんど電流を消費しない。したがって、DSP1は、演算動作を停止することによって、消費電力を削減できる。なお、DSP1の内部には、RAMやROMが設けられているが、これらには、上述したCMOS動作をしない差動アンプが使用されている。よって、この部分の電流を削減できれば、消費電力をより一層削減することができる。そこで、この例にあっては、RAMおよびROMのイネーブル状態・非イネーブル状態を制御することによって、差動アンプへの給電を制御している。また、DSP1は、データの入力インターフェースとして機能する入力部10、図示せぬクロック信号に基づいて動作しFIRフィルタ等の演算を行う演算部20、データの出力インターフェースとして機能する出力部30、および演算部20等に演算命令iaを発行する制御部40から構成されている。なお、演算命令iaは、DSP1の各部を動作させる指令であって、乗算、加算等の演算に直接に係わる指示の他、データの入出力等の指示を含むものである。

【0013】次に、演算部20は、演算命令iaに従つて入力部10から入力データDinが供給されると、これ

を選択回路 201 を介して RAM 203 に記憶する。なお、レジスタ 211 からのデータも選択回路 201 にフィードバックされるようになっており、選択回路 201 は、演算命令 ia に基づいて選択したデータを RAM 203 に供給するようになっている。したがって、RAM 203 には入力データ Din の他、後段の演算回路によって処理された処理結果が格納されるようになっている。これにより、入力データ Din にある特性のフィルタ処理を施した後、特性の異なるフィルタ処理を実行することが可能となる。

【0014】次に、RAM 203 からデータが読み出されると、このデータは選択回路 205 を介して加算器 207 の一方の入力端子に供給される。加算器 207 の他方の入力端子には選択回路 206 から出力されるデータが供給され、両者が加算される。選択回路 206 の前段には RAM 204 や選択回路 202 が設けられており、これらを演算命令 ia に基づいて制御することにより、複雑な演算を実行することができる。

【0015】次に、加算器 207 の出力データは乗算器 208 に供給され、係数 ROM 209 から出力される係数データ K と乗算されるようになっている。ここで、係数 ROM 209 は演算命令 ia に基づいて、イネーブル状態になるとともに、それが指示するアドレスに対応する記憶領域から係数データ K を読み出す。この係数データ K の値は、例えば、FIR フィルタのタップ係数値となっている。ここで、係数 ROM 209 は、RAM 203, 204 と同様に、アンド回路 43, 44 の出力信号に基づいて制御され、AD 変換処理あるいは DA 変換処理といった処理の種類に応じて、非イネーブル状態とイネーブル状態とが適宜選択される。非稻穀の状態では内部に設けられたセンサアンプの給電が制限されるので、消費電力を削減することができる。

【0016】次に、乗算器 208 の出力データは、加算器 210 の一方の入力端子に供給される。また、加算器 210 の出力データは、レジスタ 211 を介して加算器 210 の他方の入力端子に供給される。このループを繰り返すことにより、積和算の演算が実行され、FIR フィルタ処理が行われることになる。

【0017】このようにして得られた演算結果がレジスタ 211 から出力されると、演算命令 ia に基づいて、当該データが選択回路 202 を介して RAM 204 に記憶され、所定のタイミングで RAM 204 から読み出され、出力データ Dout として出力部 30 に供給されるようになっている。このように演算部 20 は、演算命令 ia に基づいて、データの入出力と演算処理を実行するように構成されている。このため、演算命令 ia の供給が停止されると、その動作が停止する。

【0018】次に、制御部 40 は、命令 ROM 41、イネーブル回路 42、アンド回路 43, 44 およびオア回路 45 から構成されている。ここで、命令 ROM 41 の

内容を図 2 を参照して説明する。この例では、アドレス 1～N に対応する記憶領域に A/D 変換処理用の命令群 G1 が格納されており、アドレス N+1～M に対応する記憶領域に D/A 変換処理用の命令群 G2 が格納されている。また、各演算命令 ia に対応して当該演算命令 ia の種別を示す省電力命令 ib が格納されている。そして、クロック CLK (図 1 参照) に同期して読み出アドレスが歩進され、演算命令 ia と省電力命令 ib の組が順次読み出されようになっている。例えば、読み出アドレス値が「2」であるならば、演算命令 ia2 と省電力命令 ib2 が読み出される。なお、この例では、アドレス 1～M までの演算命令 ia と省電力命令 ib が読み出されると、アドレス 1 に戻って読み出が続行され、これを繰り返すようになっている。すなわち、演算命令 ia は常に一定の順序で読み出され、途中で何らかの判断によって読み出順序を飛ばす分歧機構を有しないものとする。

【0019】この例の省電力命令 ib は 2 ビットで構成されており、その下位ビットは命令群 G1 に該当する場合に「1」となり、上位ビットは命令群 G2 に該当する場合に「1」となるようになっている。したがって、省電力命令 ib を参照することによって、同時に読み出される演算命令 ia がどの命令群に属するか、換言すれば、演算処理 ia の処理種別を特定することができる。

【0020】ここで、省電力命令 ib の下位ビットは A/D 変換処理指示信号 iAD としてアンド回路 43 に、省電力命令 ib の上位ビットは D/A 変換処理指示信号 iDA としてアンド回路 44 に供給されるようになっている (図 1 参照)。また、パーソナルコンピュータ全体を制御する CPU から、アンド回路 43 に第 1 の制御信号 CTL1 が、アンド回路 44 に第 2 の制御信号 CTL2 が供給されるようになっている。第 1 の制御信号 CTL1 は CPU が DSP 1 に A/D 変換処理を実行させる場合にのみ「1」となり、一方、第 2 の制御信号 CTL2 は CPU が DSP 1 に D/A 変換処理を実行させる場合にのみ「1」となる。したがって、オア回路 45 の出力は、CPU が DSP 1 に実行させようとしている処理種別と命令 ROM 41 から出力される演算命令 ia の種別が一致する場合にのみ「1」となる。

【0021】次に、イネーブル回路 42 は、オア回路 45 の出力信号によって制御され、その値が「1」である場合にのみ、命令 ROM 41 からの演算命令 ia を演算部 20 等に供給し、出力信号の値が「0」であれば演算命令 ia の供給を停止するよう構成されている。したがって、第 1 の制御信号 CTL1 と第 2 の制御信号 CTL2 とに基づいて、DSP 1 の動作を処理の種別に応じて制御することができる。なお、CPU は DSP 1 の動作状態を監視しており、所定のタイミングで第 1 の制御信号 CTL1 や第 2 の制御信号 CTL2 を制御部 40 に供給している。これにより、第 1 の制御信号 CTL1 および第 2 の制御信号 CTL2 と、DSP 1 の処理との間で同期を取りことができ

る。

### 【0022】2. 実施形態の動作

次に、本実施形態に係わるDSPの動作を図面を参照しつつ説明する。図3は、本実施形態に係わるDSPに設けられた制御部のタイミングチャートである。命令ROM41にクロックCLKが供給されると、図3(a)に示すように命令群G1と命令群G2とが交互に読み出される。この場合、命令群G1が読み出される期間にあっては省電力命令i\_bの下位ビットは「1」となり、命令群G2が読み出される期間にあってはその上位ビットは「1」となるので、A/D変換処理指示信号i\_ADは図3(b)に示すものとなり、D/A変換処理指示信号i\_DAは図3(c)に示すものとなる。

【0023】ここで、第1の制御信号CTL1と第2の制御信号CTL2が、各々図3(d), (e)に示すものであるとすれば、イネーブル回路42から出力される演算命令i\_aは図3(f)に示すものとなる。なお、図に示すG1'は命令群G1中の演算命令i\_aに該当する部分であり、またG2'は命令群G2中の演算命令i\_aに該当する部分である。

【0024】この例にあっては、期間T1において第1の制御信号CTL1と第2の制御信号CTL2がいずれも「0」になっている。これは、CPUがDSP1に処理をさせない場合である。この場合には、イネーブル回路42から命令群G1', G2'のいずれも出力されないので、DSP1の動作が停止され、電力をほとんど消費しない。

【0025】次に、期間T2にあっては、第1の制御信号CTL1が「1」となり、第2の制御信号CTL2が「0」となっている。これは、CPUがA/D変換処理のみをDSP1に実行させる場合である。この場合には、図3(f)に示すようにA/D変換処理に対応した命令群G1'のみが演算部20に供給され、命令群G2'は供給されない。したがって、必要な期間のみDSP1を動作させ、D/A変換処理を行うための期間ではDSP1は動作を停止する。DSP1は消費電力を削減することができ、例えば、A/D変換処理用の期間（命令群G1が出力される期間）とD/A変換処理用の期間（命令群G2が出力される期間）とが等しいとすれば、消費電力をおよそ1/2に削減することができる。

【0026】次に、期間T3にあっては、第1の制御信号CTL1と第2の制御信号CTL2がいずれも「1」になっている。これは、CPUがDSP1にA/D変換処理とD/A変換処理を実行させる場合である。この場合には、図3(f)に示すように命令群G1'と命令群G2'が時分割で演算部20に供給される。したがって、DSP1は両処理を時分割で実行する。

【0027】次に、期間T4にあっては、第1の制御信号CTL1が「0」となり、第2の制御信号CTL2が「1」となっている。これは、CPUがD/A変換処理のみをDSP1に実行させる場合である。この場合には、期間T

2とは逆に、D/A変換処理に対応した命令群G2'のみが演算部20に供給され、命令群G1'は供給されない。したがって、期間T2の場合と同様に消費電力をおよそ1/2に削減することができる。

【0028】このように、本実施形態によれば、命令ROM41に演算命令i\_aと省電力命令i\_bとを対応づけて予め記憶しておき、省電力命令i\_bが示す処理種別と外部から供給される第1, 第2の制御信号CTL1, CTL2

(DSP1に要求される処理種別を示す信号)に基づいて、処理が必要な場合にのみ演算命令i\_aを演算部20に供給するようにした。これにより、DSP1で複数の処理を時分割で実行する場合に、不要な処理に相当する期間においてDSP1の動作を停止させ、消費電力を大幅に低減させることができる。

### 【0029】3. 変形例

以上、本発明に係わる実施形態を説明したが、本発明は上述した実施形態に限定されるものではなく、以下に述べる各種の変形が可能である。

①上述した実施形態においては、DSP1においてA/D変換処理とD/A変換処理とが時分割に行われることを前提に、処理毎に演算命令i\_aを演算部20等に供給するか否か決定した。しかし、本発明の特徴は外部から供給される制御信号に基づいて所望の演算処理のみを実行し、他の期間はDSP1の動作を停止させることによって消費電力を削減する点にある。このため、省電力命令i\_bは演算命令i\_aを識別できればよく、制御信号が示す種別と省電力命令i\_bが示す種別が不一致の場合に演算命令i\_aの供給を停止させるようにしてもよい。

【0030】②また、上述した実施形態においてDSP1は、CMOSトランジスタで構成されることとしたが、演算部20のみをCMOSトランジスタで構成し、他の部分をバイポーラトランジスタで構成するようにしてもよい。

【0031】③また、上述した実施形態および変形例において、消費電力の削減は省電力命令i\_bと制御信号に基づいて、所定の場合に演算命令i\_aの供給を停止することにより行われたが、本発明はこれに限定されるものではなく、演算部20の動作状態を停止状態にできるのであればどのような方法を用いてもよい。例えば、DSP1を図4に示すように構成してもよい。この場合には、命令ROM41から出力される演算命令i\_aを演算部20等に直接供給するとともに、クロックCLKとオア回路45の出力信号とをアンド回路46へ供給して、オア回路45の出力信号でクロックCLKをゲートし、その結果得られるクロックCLK'を演算部20等に供給する。これにより、第1の制御信号CTL1および第2の制御信号CTL2に基づいて、演算部20等を動作させることができる。

【0032】④また、上述した実施形態および変形例において、命令ROM41は不揮発性の記憶手段として説

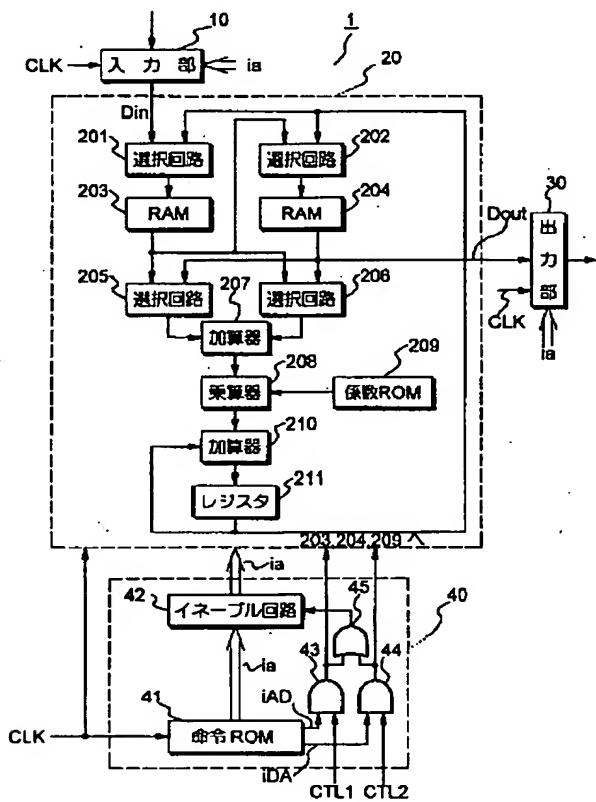
明したが、RAM等の揮発性の記憶手段であってもよい。この場合には、パーソナルコンピュータの起動時に演算命令iaと省電力命令ibの組をハードディスクから転送するようにすればよい。

⑤また、上述した実施形態においては省電力命令ibの各ビットに命令群G1', G2'を割り当てるが、省電力命令ibをコーディングすることによって、ROM41を小型化するようにしてもよい。例えば、3ビットの省電力命令を用いて、8通りの制御に対応するようにしてもよい。

### 【0033】

**【発明の効果】** 上述したように本発明に係る発明特定事項によれば、記憶手段に演算命令とこれを識別するための制御命令との組を複数記憶し、記憶手段から前記演算命令とこれに対応する制御命令を読み出すと、制御信号と制御命令とに基づいて、処理手段の動作状態を制御するので、必要な場合にのみ処理手段を動作させることができ、消費電力を削減することができる。

【図1】



### 【図面の簡単な説明】

【図1】 本発明の一実施形態に係るDSPのブロック図である。

【図2】 同実施形態に係る命令ROMの内容を示す図である。

【図3】 同実施形態に係るDSPの動作を示すタイミングチャートである。

【図4】 変形例に係るDSPの構成を示すブロック図である。

【図5】 従来のDSPの動作を示したタイミングチャートである。

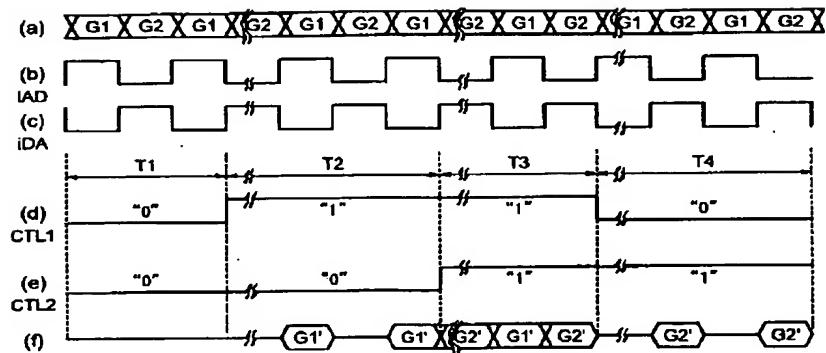
### 【符号の説明】

1…DSP (デジタル信号処理装置)、10…入力部 (処理手段)、20…演算部 (処理手段)、30…出力部 (処理手段)、40…制御部 (制御手段)、41…命令ROM (記憶手段)、ia…演算命令、ib…省電力命令 (制御命令)、CTL1…第1の制御信号 (制御信号)、CTL2…第2の制御信号 (制御信号)。

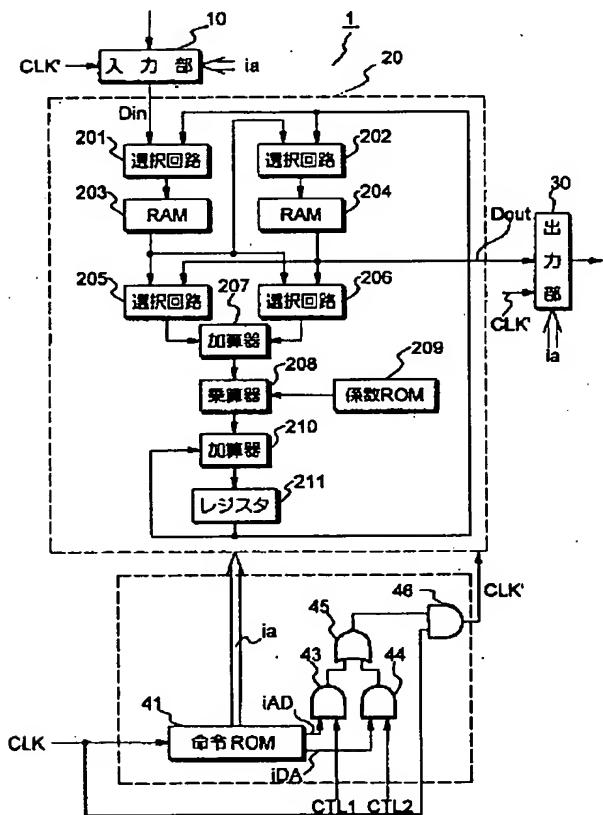
【図2】

アドレス	ib : 演算命令		ib : 省電力命令	
	ia1	ia2	ib1	ib2
1	0 1			
2	0 1			
:	⋮			
N	0 1			
N+1		iaN+1	1 0	G1
N+2		iaN+2	1 0	G2
:	⋮			
M		iaM	1 0	

【 3】



【四】



(图5)

